Міністерство освіти і науки України

**Кіровоградський національний технічний університет**

Кафедра програмування та захисту фнформації

Методичні вказівки

до лабораторних робіт

Дисципліна : **Комп’ютерна схемотехніка**

**ЛАБОРАТОРНА РОБОТА №4**

**Тема: Шинний формувач та шинна архітектура**

**Кіровоград 2015**

**ЛАБОРАТОРНА РОБОТА №4**

**Тема: Шинний формувач та шинна архітектура**

**Ціль: Ознайомлення з роботою та властивостями.**

# Системний контролер І8228/38

Мікросхема І8238 виконує функцію системного контролера і шинного формувача, здійснює формування керуючих сигналів звертання до ОЗП або до пристроїв ведення/виводу (ПВВ) і забезпечує прийом і передачу 8-розрядної інформації між шиною даних мікропроцесора і системною шиною.

Формування сигналів I/OW, MEMW у даній мікросхемі відбувається щодо сигналу STSTB “Строб стану”, що дозволяє при застосуванні в мікропроцесорній системі мікросхеми КР580ВК38 використовувати ЗП й ПВВ із більш широким діапазоном швидкодії. . Двонаправлений шиний формувач здійснює буферизацію 8-розрядної шини даних і автоматичний контроль напрямку передачі даних.

Підключення системного контролера до шини даних мікропроцесора здійснюється за допомогою двонаправлених виводів DO-D7мікропроцесора, до системної шини за допомогою двонаправлених виводів DBO-DB7. При необхідності за допомогою сигналу BUSEN “Керування системною шиною” виводи DBO—DB7 системного контролера можуть бути переведені в стан “Виключене”.

Таблиця 1.1 Призначення виводів ІМС І8238.

|  |  |  |
| --- | --- | --- |
| **Номер виводу** | **Позначення** | **Призначення** |
| 6, 8, 10, 12, 15,17,19, 21 | DO—D7 | Шина даних |
| 5, 7, 9, 11, 13, 16, 18, 20 | DBO—DB7 | Системна шина |
| 1 | STSTB | Строб стану |
| 2 | HLDA | Підтвердження захоплення |
| 3 | WR | Запис |
| 4 | DBIN | Прийом |
| 14 | GND | Загальний |
| 22 | BUSEN | Керування системною шиною |
| 23 | INTA | Підтвердження переривання |
| 24 | MEMR | Читання пам'яті |
| 25 | I/OR | Читання УВВ |
| 26 | MEMW | Запис у пам'ять |
| 27 | I/OW | Запис в УВВ |
| 28 | Ucc | +5 В |

Регістр стану виконаний на шести D-тригерах і призначений для збереження інформації про стан мікропроцесора, що надходить по шині даних DO-D7. Запис у регістр стану здійснюється по сигналі STSTB, що надходить на початку кожного машинного циклу. Декодувальна матриця в залежності від режиму роботи мікропроцесора, зафіксованого в регістрі стану, і вхідних керуючих сигналів HLDA, WR, DBIN формує сигнал INTA “Підтвердження переривання” або сигнали читання/запису при звертанні до ОЗП або ПВВ.

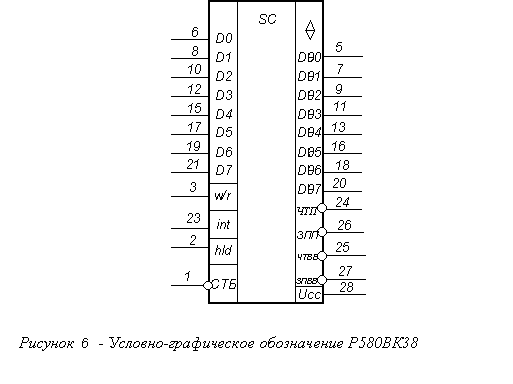


Рисунок 1.1- Інтегральне виконання ІМС І8238.

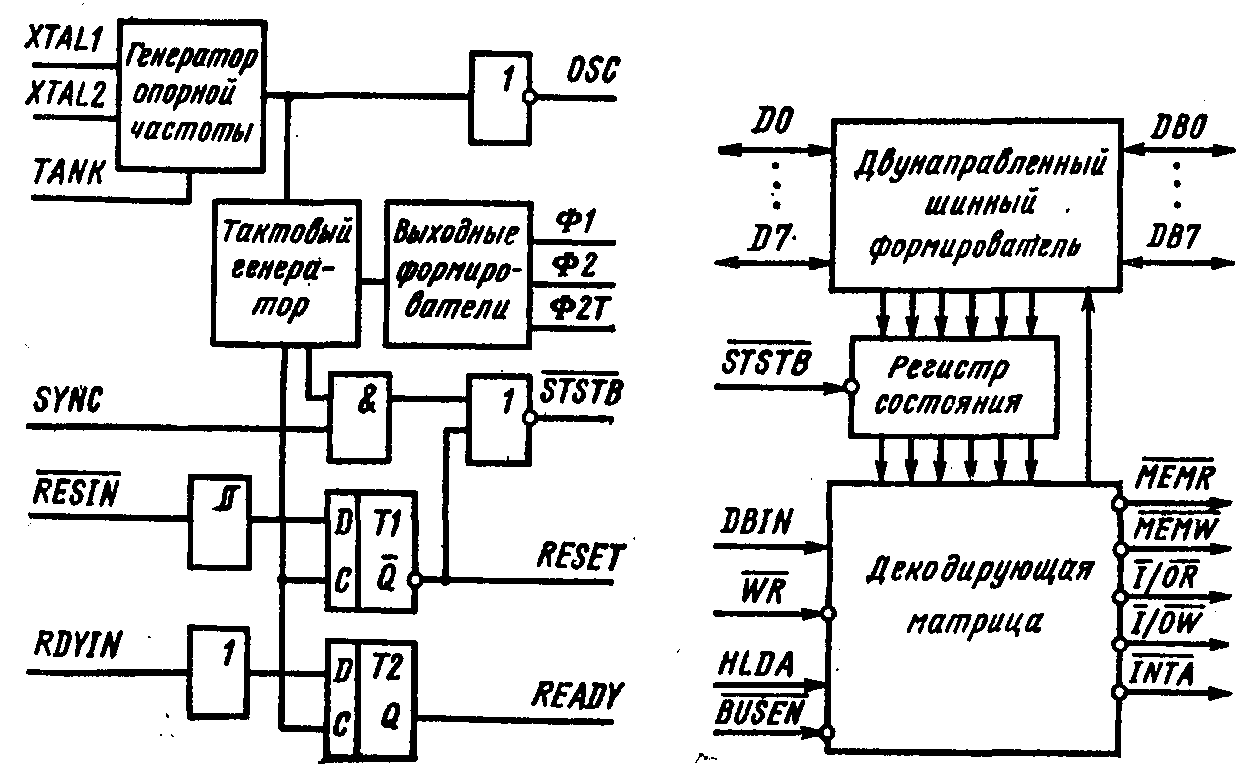
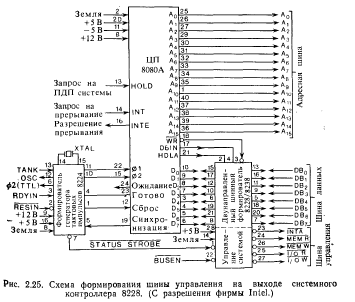


Рисунок 1.12- Структурна схема ІМС І8238



**Архітектура систем з 3 шинами**

Архітектура з 3 шинами є найбільш загальною для мікропроцесорних систем. Шинною системою називають фізичну групу ліній передачі сигналів, маючих схожі функції в рамках системи. Наприклад, деяка група ліній може використовуватися для передачі сигналів адреси пам'яті. Цю групу ліній можна назвати адресної шиною. Всі три шини є спеціалізованими з точки зору їх функцій. Ці шини іменуються так:

1. Адресна шина системи

2. Шина даних системи.

3. Шина управління системи.

Логічний стан цих трьох шин описує комунікаційний тракт системи в будь-який момент часу. Комунікаційної тракт-це шлях, який дані, представлені у вигляді електричних сигналів, проходять в системі від однієї точки до іншої.

Адресна шина системи

За адресній шині системи передаються лише вихідні сигнали, які надходять з висновків в корпусі мікропроцесора. Ця шина призначена для того, щоб відкривати або вибирати правильний тракт для електричного з'єднання в межах мікропроцесорної системи.

Для зручності будемо надалі вважати, що всі електричні з'єднання в мікропроцесорній системі здійснюється між мікропроцесором і пристроєм, відкритим за допомогою адресної шини. Як пристрій тут виступає будь-яка електрична cxeмa, що приймає дані від мікpoпроцесора або виробляє дані для нього. Після того як поняття описуваного тут комунікаційного тракту дано, легше пояснити особливості інших комунікаційних трактів, наявних в мікропроцесорна системі.

Іншою важливою характеристикою адресної шини системи є її ємність. Ємність шини визначається числом входять до неї окремих електричних ліній. Для мікропроцесорів 8080, 8085. Z80, 6800 характерна 16 розрядні адресна шина. Це означає, що адресна шина систем, побудованих на базі цих мікропроцесорів, компонується з 16 фізичних ліній.

Шина даних системи

Шина даних системи є двонаправленою шиною. Це означає, що передача даних може здійснюватися в обох напрямках. У деяких випадках дані генеруються мікропроцесором і передаються від нього до певного пристрою системи. Це пристрій відкривається за допомогою заданого логічного стану ліній адресної шини і отримує дані з шини даних.

В інших випадках дані генеруються якимось джерелом і передаються мікропроцесору допомогою шини даних. Як джерело виступає то пристрій системи, яке відкривається за допомогою адресної шини. Подібний режим називається введенням даних в мікропроцесор.

Хоча передача даних по шині даних може здійснюватися в обох напрямках, однак в кожний заданий момент часу вона здійснюється лише в одному напрямку. Це означає, що для передачі даних в систему і їх прийому з системи мікропроцесор перекладається у відповідний режим. Більш того, в усіх розрядах шини в кожен момент часу дані передаються лише в одному напрямку, тобто в будь-який момент по всіх лініях шини вони можуть або тільки вводитися або тільки виводитися.

Для мікропроцесорів 8080, 8085. Z80 і 6800 шина даних є 8-розрядної Тому кажуть, що ємність шини даних дорівнює 8 розрядів і паралельно можуть передаватися лише 8 біт інформації. З цієї причини перераховані мікропроцесори відносять до класу 8-розрядних мікропроцесорів.

Шина управління системи

На шині управління діє 4 наступних типу сигналів:

1. Читання з пам'яті активізовано.

2. Запис в пам'ять активізована.

3. Читання з пристрою введення активізовано.

4. Запис на пристрій введення активізована

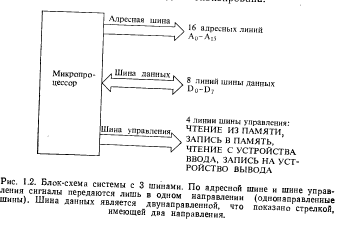
Пізніше для цієї шини ми введемо деякі додаткові сигнали. Однак дли розуміння суті процесів поки необхідно обмежитися зазначеним списком сигналів. Після того як стануть ясні функції цих чотирьох сигналів, буде легше вивчати функції інших сигналів.

Шина управління використовується лише для виведення сигналів, тобто є односпрямованої і працює лише в режимі виводу, Навпаки, шину даних ми розглядаємо як двосторонню.

Термін «активізований» означає, що при настанні події, запитуваної відповідної лінією шини управління, ця лінія має активний сигнал логічного рівні I або 0. У мікропроцесорних системах активний стан ліній шини управління може бути або логічного 1. або логічним 0. При цьому різні лінії системи можуть бути активними при різних рівнях логічного сигналу. Наприклад, лінія управління ЧИТАННЯ З ПАМ'ЯТІ може бути активною при логічному рівні 1, а лінія управління ЗАПИС У ПАМ'ЯТЬ - при рівні 0.

Розпізнавання та ініціювання типу електричного з'єднання для шини даних системи є функцією сигналу шини управління. Необхідно зауважити, що лінія управління може бути активізованою і при рівні логічному 1, і при рівні логічного 0.

На рис. 1.2 архітектура систем з трьома шинами показана у вигляді блок-схеми, на якій видно, що стрілки, відповідаю адресної шини та шині управління, вказують лише на один напрямок. Це говорить про те, що ці шини односпрямовані. Для шини даних на рис. 1.2 стрілки вказують на два напрями, що відповідає двобічної шині. Прийняті нами позначення часто використовуються в літературі для опису цих шин.



Використання архітектури з 3 шинами

Тепер ми обговоримо загальні принципи передачі інформації в мікропроцесорній системі, що має архітектуру з 3 шинами. Перш за все необхідно пояснить »основні функції, реалізовані мікропроцесорної системою. Після цього можна буде перейти до розгляду особливостей їх виконання.

Для початкового знайомства з мікропроцесорами досить розглянути лише п'ять функцій, описаних нижче, пізніше список цих функцій може бути розширений. Такі функції добре відображають можливі операції, що виконуються в мікропроцесорній системі. До них відносяться:

1. Запис даних в пам'ять системи.

2. Читання даних з пам'яті системи.

3. Запис даних на пристрій вводу-виводу.

4. Читання даних з пристрою вводу-виводу.

5. Виконання операцій з вмістом внутрішніх регістрів мікропроцесора.

Зазначені п'ять можливих типів функцій мікропроцесорної системи дозволяють створювати велику кількість різноманітних засобів.

**Шини процесора 8086**

Розмір шини адреси був збільшений з 16 біт до 20 біт, що дозволило адресувати 1 Мбайт (220 байт) пам'яті. Шина даних була 16-розрядної. Однак в мікропроцесорі шина даних і шина адреси використовували ті ж контакти на корпусі. Це призвело до того, що не можна одночасно подавати на системну шину адреси і дані. Мультиплексування адрес і даних у часі скорочує число контактів корпусу до 20, але і уповільнює швидкість передачі даних. Через те що виконання окремих команд менше циклу введення-виведення, в процесор був введений (вперше) буфер команд на 6 байт, це дозволяло виконувати, наприклад, команди складання паралельно команд вводу-виводу.

**Функціональна схема ЕОМ на базі мікропроцесора І8086А**

Розглянемо систему, в якій мікропроцесор працює в мінімальному режимі. У цьому режимі він генерує всі необхідні сигнали управління. Блок-схема системи на основі мікропроцесора +8086 показана на рис.3.2. Система складається з мікропроцесора, генератора синхронізації, 3-х регістрів-засувок, 2-х приймачів, пристрої пам'яті і пристроїв введення / виводу.

В системі, представленої на блок-схемі, мікропроцесор випол¬няет усі функції по обробці інформації та формуванню всіх необхідних сигналів управління. Зовнішній генератор забезпечує формування синхронізуючого сигналу CLK і сигналів початкового скидання RESET і готовності READY, пов'язаних з ним. READY формі¬руется при включенні живлення системи, тому що конденсатор заряджається через резистор деякий час. У цей час вхідний сигнал RES має низьке значення, і RESET активний. За сигналом RESET всі складові системи встановлюються в початковий стан. Адрес¬ние висновки мікропроцесора пов'язані з входами регістрів-фіксаторів. Оскільки число адресних сигналів 21 (AD0 ... AD15, AD16 ... AD19, BHE), потрібно 3 регістра. Адреса зберігається в регістрі по сигналу ALE від мікропроцесора. Тоді протягом усього циклу шини адресу знаходиться в регістрах і доступний для складових системи. Висновки регістрів-фіксаторів формують Буферізірованний адресну шину.

Крім того, лінії шини адреси / даних (AD0 ... AD15) мікропро¬цессора пов'язані зі входами буферних приемопередатчиков з високою навантажувальною здатністю. Приймачі та передавачі 8 розрядні, тому потрібне 2 кристала.

Приймачі та передавачі управляються сигналами мікропроцесора DEN і DT / R. Протягом циклу читання шини, сигнал DT / R має низький рівень, і дані передаються від висновків B до висновків А. Сигнал DEN дозволяє роботу прийомопередатчиків.



**Рисунок Блок-схема системи з мікропроцесором у мінімальному режимі**

Протягом циклу запису сигнал DTR має високий рівень, і дані передаються від висновків А до висновків B.

RD, WR, M / IO - сигнали шини керування мікропроцесорної системи. Однак пам'ять і пристрої введення / виводу в більшості випадків вимагають інших сигналів. Це сигнали MWTC, MRDC, IOWC і IORC. MWTC і MRDC - це сигнали, що дозволяють запис в пам'ять і читання з пам'яті, відповідно. IOWC і IORC дозволяють запис і читання даних з портів введення / виводу. Сигнали можуть бути сформовані з сигналів мікропроцесора за допомогою додаткових логічних схем. Приклад такої схеми показується на рисунку.



**Рисунок Схема формування керуючих сигналів**

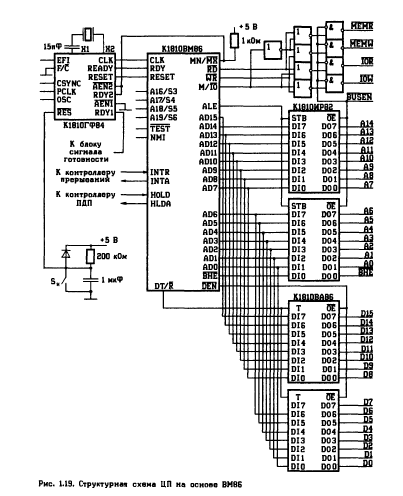


Рисунок -Структурна схема ЕОМ на І8086А з шиною адреси даних та керування



Рисунок – Приклад структурної схеми ЕОМ на І8086А з шиною адреси даних та керування в Proteus

**Завдання.**

1. Пояснити призначення мікросхем та іх вхідних та вихідних сигналів.
2. Скласти повну схему застосування пристрою з мікроцесором І8086 використовуючи графічний редактор.
3. Буферизація шини ареси, призначення,функціональна схема.
4. Буферизація шини даних,призначення, функціональна схема.
5. Буферизація шини керування,призначення, функціональна схема.
6. Повна функціональна схема мікропроцесорної системи використовуючи графічний редактор .
7. Вирішити задачу:-знаходження суми ряда чисел (числа довільні)
8. Вирішити задачу: розділення числа на частини з використанням маски.

Задача виникає при аналізі стану сукупності тумблерів, пускачів, перемикачів чи індикаторів.

Хай в коміpці пам'яті за адресою ADR1 знаходиться початкове число, результати pоботи пpогpами необхідно pозмістити слідуючим напpямком: число добуте із молодших pозpядів pозмістити в коміpку пам'яті з адpесою ADR2, а із сташих в коміpку з адесою ADR3.

ADR1 = 0813H

(0813) = 4AH - обpоблювальне число

Після обробки:

ADR2 = 0814H

(0814) = 3AH - код числа з молодшої тетради

ADR3 = 0815H

(0815) = 34H - код числа із старшої тетради

Програма:

0800 ORG 800H

0800 211308 LXI H,ADR1 ;завантажити показчик на коміpку,

0803 ;яка тpимає початкове число

0803 7E MOV A,M ;завантажити число

0804 47 MOV B,A ;записати содержиме

0805 ;акумулятора в регістр B

0805 E60F ANI 00001111B ;наложити на число маску з

0807 ;метою виділити молодші

0807 ;4 біта

0807 23 INX H ;перейти до слідуючој коміpки

0808 ;па'мяті

0808 77 MOV M,A ;записати результат в

0809 ;коміpку пам'яті

0809 78 MOV A,B ;записати содержиме

080A ;регістра B в акумулятор

080A 0F RRC ;зсунути содержиме

080B 0F RRC ;акумулятора на 4 біта

080C 0F RRC ;вправо

080D 0F RRC

080E E60F ANI 00001111B ;наложити на число маску з

0810 ;метою виділити молодші

0810 ;4 біта

0810 23 INX H ;перейти до слідуючој коміpки

0811 ;пам'яти

0811 77 MOV M,A ;записати результат в

0812 ;коміpку пам'яті

0812 76 HLT

0813 4A ADR1 DB 4AH

0814 00 ADR2 DB 00H

0815 00 ADR3 DB 00H

0000 END

**Контрольні питання**

1. Що таке шинний формувач, призначення?

2. Створіть схему мікропроцесора з шинним формувачем.

3.Необхідність буферизації шини ареси, призначення.

4.Необхідність буферизації шини даних,призначення.

5.Чим відрізняється фіксація стану мікропроцесора і8080 від і8086.